

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-253025

(43)Date of publication of application : 12.11.1991

(51)Int.Cl.

H01L 21/22

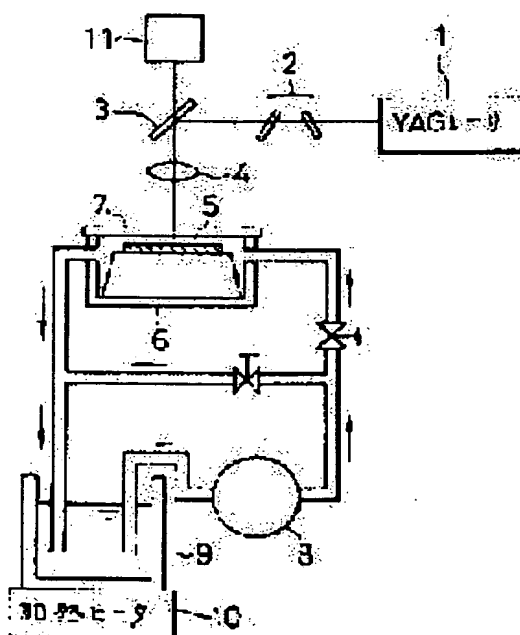
(21)Application number : 02-049423

(71)Applicant : NIPPON TELEGR & TELEPH
CORP <NTT>

(22)Date of filing : 02.03.1990

(72)Inventor : KOYABU KUNIO
WATANABE JUNJI

(54) SUBSTRATE TO BE WORKED AND ANISOTROPIC ETCHING OF SILICON



(57)Abstract:

PURPOSE: To shorten an etching process as well as to improve productivity and to make it possible to form a pattern of a new form by a method wherein a laser, a scanning mirror, a half mirror and the like are provided and a laser processing is combined with an anisotropic etching.

CONSTITUTION: A KOH liquid in a liquid tank 9 is heated by a heating heater 10 to 70°C or higher, is sent to an etching chamber 6 by a circulating pump 8 and a silicon single crystal substrate 5 is fixed in the chamber 6 where the KOH liquid is made to flow. Then, a beam which is outputted from a YAG laser 1 is bent at a

right angle by a half mirror 3 and the beam focussed on the surface of the substrate 5 by an fθ lens 4 via a window of a quartz 7 is scanned by a computer control X-Y scanning mirror 2. In this case, whether a targeted pattern is formed at a prescribed position or not is verified by a TV monitor 11. An etching process can be shortened by combining a

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-126250

(43)Date of publication of application : 30.05.1988

(51)Int.Cl.

H01L 21/88

(21)Application number : 61-272280

(71)Applicant : MITSUBISHI ELECTRIC
CORP

(22)Date of filing : 15.11.1986

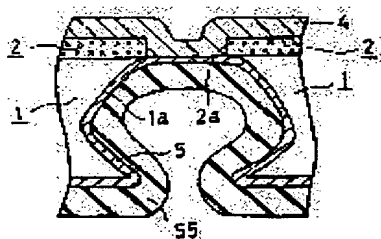
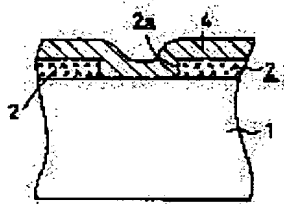
(72)Inventor : OZAKI KATSUYA
AONO KOJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent disconnection in a metal layer formed on the surface of a viahole due to abnormal etching during formation of the via hole, by previously filling a contact hole of an etch stopping insulator layer with a first metal layer.

CONSTITUTION: An etch stopping insulator layer 2 is formed on the surface of a GaAs substrate 1, and then a window 2a is formed in the insulator layer 2. A first metal layer 4 for providing interconnections, electrodes, etc., of an electric circuit is formed in the window 2a as well as on the whole surface of the insulator layer 2. The substrate 1 is then wet etched from



the rear face thereof so as to form a viahole 1a and to expose the rear face of the metal layer 4. Then a plated metal layer 5 for supplying power and a second metal layer 55 are formed sequentially in that order on the whole surface of the viahole 1a including the exposed rear face of the metal layer 4. In this manner, abnormal etching or overhand

laser processing with an anisotropic etching and at the same time, productivity is improved and a pattern of a new form can be formed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

within the viahole 1a can be prevented and, therefore, the metal layer 5 formed thereon also can be prevented from being disconnected.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-253025

⑬ Int. Cl.⁵
H 01 L 21/22

識別記号 庁内整理番号
E 2104-5F

⑭ 公開 平成3年(1991)11月12日

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 加工基板及びシリコン異方性エッチング方法

⑯ 特 願 平2-49423

⑰ 出 願 平2(1990)3月2日

⑱ 発 明 者 小 薮 國 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 渡 辺 純 二 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 鈴 江 武彦 外2名

明 細 書

1. 発明の名称

加工基板及びシリコン異方性エッチング方法

2. 特許請求の範囲

(1) (100)シリコン単結晶基板において、加工断面の一つの側壁が二つの傾斜した(111)面から構成されたことを特徴とする加工基板。

(2) (110)シリコン単結晶基板において、加工形状が基板表面に対して垂直に立つ四つの(111)面から構成されたことを特徴とする加工基板。

(3) 70℃以上のアルカリ流液中に、酸化膜もしくは窒化膜を形成したシリコン単結晶基板を浸漬し、その基板表面に加工したいパターン形状もしくは領域を塗布するようにレーザービームを走査して、酸化膜もしくは窒化膜の一部を除去し、露出したシリコン単結晶基板面にそのままレーザーを照射することによりシリコン単結晶基板を加工し、所望の加工深さに達したところでレーザー照射を停止してアルカリ液でエッチングすることを特徴と

するシリコン異方性エッチング方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は例えばX線マスクや微小なメカニカル部品等の高速加工や形状加工に使用できる加工基板及びシリコン異方性エッチング方法に関する。

[従来技術]

従来のシリコン異方性エッチングは一般に下記の工程からなっている。すなわち、

① シリコン単結晶基板に熱酸化あるいはCVD等の方法で、酸化膜または窒化膜を付着形成する。

② 単結晶基板の表面上にホトレジストを塗布し、予め別に作製してあるホトマスクを用いて所望のパターンを露光・現像してレジストにパターンを形成する。

③ レジストパターンをマスクとして、緩衝フッ素による化学エッチングまたはドライエッチング等の方法により、酸化膜等にエッチング用のパターンを形成する。

④ レジストパターンを除去する。

特開平3-253025 (補正)

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成6年(1994)2月10日

【公開番号】特開平3-253025

【公開日】平成3年(1991)11月12日

【年通号数】公開特許公報3-2531

【出願番号】特願平2-49423

【国際特許分類第5版】

H01L 21/22

E 9278-4M

手続補正書

平成 年5.5月8 日

特許庁長官 麻生 波 殿

1、事件の表示

特願平2-49423号

2、発明の名称

加工基板及びシリコン異方性エッチング方法

3、補正をする者

事件との関係 特許出願人

(422) 日本電信電話株式会社

4、代理人

東京都千代田区霞が関3丁目7番2号

鈴業内外國特許事務所内

〒100 電話03(3502)3181 (大代表)

(5847) 弁理士 鈴 江 武 彦

5、自発補正

6、補正の対象

明細書、図面

7、補正の内容

(1) 特許請求の範囲を別紙の通り補正する。

(2) 明細書第8頁第14行の「 $16\mu\text{m}/\text{mm}$ 」

を「 $16\mu\text{m}/\text{min}$ 」と補正する。

(3) 図面中、第3図を別紙の通り補正する。

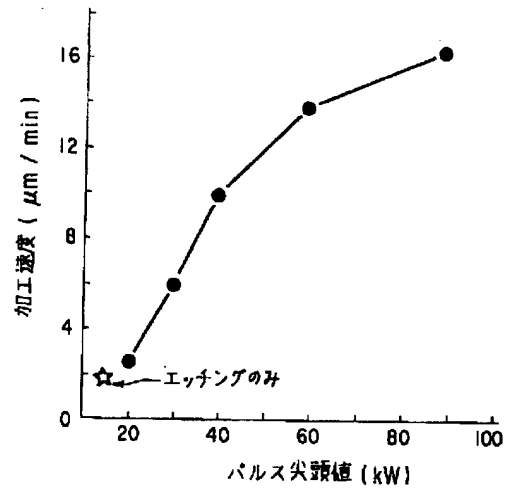


2、特許請求の範囲

(1) (100) シリコン単結晶基板において、加工断面の一つの側壁が二つの傾斜した(111)面から構成されたことを特徴とする加工基板。

(2) (110) シリコン単結晶基板において、加工形状が基板表面に対して垂直に立つ四つの(111)面から構成されたことを特徴とする加工基板。

(3) 70℃以上のアルカリ流液中に、酸化膜もしくは窒化膜を形成したシリコン単結晶基板を浸漬し、その基板表面に加工したいパタン形状もしくは領域を塗り潰すようにレーザビームを走査して、酸化膜もしくは窒化膜の一部を除去し、露出したシリコン単結晶基板面にそのままレーザを照射することによりシリコン単結晶基板を加工し、所望の加工深さに達したところでレーザ照射を停止してアルカリ液でエッチングすることを特徴とするシリコン異方性エッチング方法。



第3図